

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
8 septembre 2006 (08.09.2006)

PCT

(10) Numéro de publication internationale
WO 2006/092473 A1

(51) Classification internationale des brevets :
G09G 3/32 (2006.01)

(21) Numéro de la demande internationale :
PCT/FR2005/050456

(22) Date de dépôt international : 17 juin 2005 (17.06.2005)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
04 51293 18 juin 2004 (18.06.2004) FR

(71) Déposant (pour tous les États désignés sauf US) : COM-
MISSARIAT A L'ÉNERGIE ATOMIQUE [FR/FR];
31-33, rue de la Fédération, F-75015 Paris (FR).

(72) Inventeur; et

(75) Inventeur/Déposant (pour US seulement) : BENZARTI,
Walid [FR/FR]; 55bis, rue de Stalingrad, F-38100
GRENOBLE (FR).

(74) Mandataire : LEHU, Jean; Brevatome, 3, rue du Docteur
Lancereaux, F-75008 Paris (FR).

(81) États désignés (sauf indication contraire, pour tout titre de
protection nationale disponible) : AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO,
CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG,
KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM,
PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM,
SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN,
YU, ZA, ZM, ZW.

(84) États désignés (sauf indication contraire, pour tout titre de
protection régionale disponible) : ARIPO (BW, GH,
GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM,
ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM),
européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO,
SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN,
GQ, GW, ML, MR, NE, SN, TD, TG).

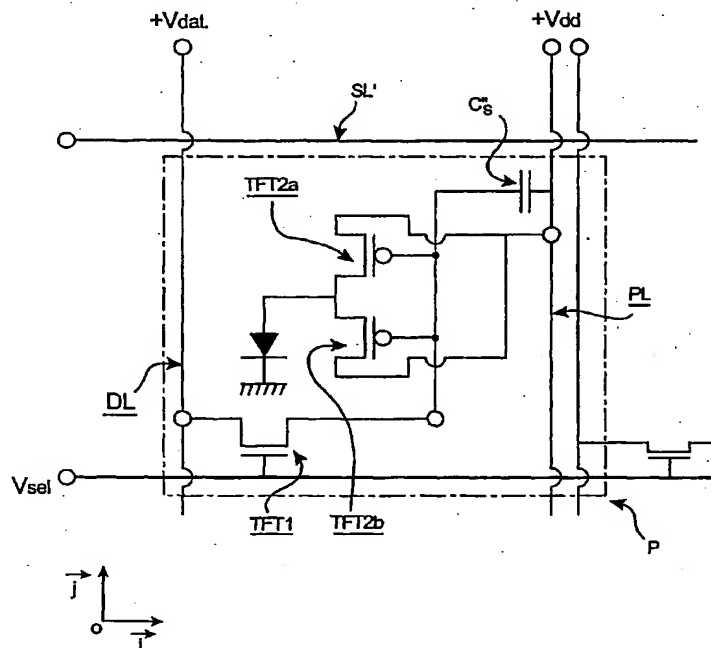
Publiée :

— avec rapport de recherche internationale

[Suite sur la page suivante]

(54) Title: OLED PIXEL LAYOUT

(54) Titre : LAYOUT DE PIXEL OLED



(57) Abstract: The invention relates to a microelectronic device for producing visible radiation, which can be used, for example, to form improved pixels for screens or displays, such as of the OLED type.

[Suite sur la page suivante]

WO 2006/092473 A1



- avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues
- abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et

LAYOUT DE PIXEL OLED

DESCRIPTION

DOMAINE TECHNIQUE ET ÉTAT DE LA TECHNIQUE ANTÉRIEURE

5 La présente invention concerne un dispositif microélectronique permettant d'émettre un rayonnement lumineux et pouvant être utilisé par exemple pour former une matrice de pixels améliorés d'afficheurs ou d'écrans de type OLED (OLED pour
10 « Organic Light Emission Displays », en français afficheurs organiques électroluminescents).

Les écrans de type OLED sont des écrans plats utilisant la propriété de luminescence de diodes organiques OLED. Pour régler la luminescence d'une
15 diode OLED associée à un pixel d'écran ou d'afficheur, un dispositif d'adressage en courant, intégré au pixel est généralement prévu.

Un exemple suivant l'art antérieur d'un tel dispositif d'adressage associé à une diode
20 électroluminescente 10, de type OLED (OLED pour « Organic Light Emission Diode ») est illustré sur la figure 1. Cet exemple de dispositif d'adressage comporte tout d'abord un premier transistor couche mince ou TFT (TFT pour « thin film transistor ») noté
25 11, fonctionnant comme un interrupteur, et dont l'ouverture ou la fermeture est contrôlée par un signal de sélection par exemple sous forme d'une tension notée V_{lin} appliquée sur la grille de ce dernier.

Le dispositif d'adressage comporte en outre
30 au moins un second transistor couche mince ou TFT noté

12 permettant de produire un courant i_d à l'entrée de la diode électroluminescente 10, en fonction d'une tension de réglage v_{dat} , le courant i_d provoquant l'émission d'un rayonnement par la diode 10.

5 La tension de réglage v_{dat} est fonction d'une valeur d'intensité lumineuse ou de luminance à laquelle on souhaite fixer le rayonnement émis par la diode 10. Pour une certaine valeur du signal de sélection v_{lin} , le premier transistor 11 peut être mis
10 dans un état « fermé ». La tension de réglage v_{dat} est alors appliquée sur le drain du premier transistor couche mince 11, et transmise sur la grille du second transistor couche mince 12 reliée à la source du premier transistor 11, le second transistor 12 émettant
15 alors le courant i_d à l'entrée de la diode électroluminescente 10. Le second transistor 12 joue ainsi le rôle de modulateur de courant à l'entrée de la diode 10.

 Afin de bénéficier d'un maximum de
20 stabilité en courant et d'un minimum de sensibilité aux fluctuations de tension entre son drain et sa source, le second transistor 12 est généralement polarisé en régime de saturation, par une tension de polarisation notée V_{dd} par exemple de l'ordre de +16V, appliquée sur
25 le drain du second transistor 12.

 Dans un dispositif d'adressage de pixel d'écran ou d'afficheur du type de celui qui vient d'être décrit, le premier transistor 11 et le second transistor 12 peuvent être des transistors de type TFT
30 (TFT pour « Thin Film Transistor » en français transistor couche mince), formés par exemple d'une

couche active à base de silicium amorphe ou de silicium polycristallin.

Selon une variante, décrite notamment dans le document EP 1193741 A2, le transistor modulateur de courant 12 d'un tel dispositif d'adressage peut être éventuellement remplacé par deux transistors de drain commun polarisés par la tension +Vdd, et dont les sources respectives sont reliées à une électrode de la diode électroluminescente 10. Comme cela est décrit dans ce document, cette variante peut permettre d'améliorer le rendement du procédé de fabrication des matrices de pixels OLED, le rendement étant défini dans ce cas par le rapport entre le nombre de circuits utilisables à la fin du procédé de fabrication et le nombre total de circuits initialement soumis au procédé de fabrication.

Le dispositif d'adressage comprend également un condensateur 13, dit « de stockage », prévu pour permettre de retenir le signal de réglage vdat, lorsque ce signal est transmis sur la grille du second transistor couche mince 12.

Le condensateur 13 est généralement agencé de manière à ce qu'une de ses électrodes notée 14 est reliée à la grille du transistor 12 modulateur de courant et à la source du premier transistor 11 interrupteur, tandis que l'autre électrode 15 est reliée à une masse ou à un potentiel fixe. Cette masse ou ce potentiel fixe est généralement assuré par une ligne ou un bus, dont le rôle est, comme le décrivent par exemple le document précité et le document EP 1298634, dédié uniquement à la polarisation de ladite

seconde électrode du condensateur de stockage Cs. Dans une matrice de pixels, l'agencement des lignes ou des bus servant à polariser les condensateurs de stockage Cs des différents pixels, est généralement tel que ces
5 lignes ou ces bus croisent d'autres lignes permettant par exemple d'acheminer les signaux de données ou les signaux de polarisation des moyens modulateurs de courant peuvent être source de bruit également appelé « cross talk ».

10 Pour palier à des phénomènes de fuite des transistors 11 et 12 dans ce type de dispositif, la valeur de capacité du condensateur 13 est généralement élevée et induit un encombrement important de ce dernier. Cet encombrement peut limiter le taux
15 d'ouverture (« aperture ratio ») des pixels. La polarisation de la seconde électrode du condensateur de stockage Cs par une ligne spécifique et l'encombrement que génère ce condensateur rendent par ailleurs délicat l'agencement des différents composants du pixel les uns
20 par rapport aux autres.

On cherche continuellement à optimiser l'agencement des composants et à réduire la taille du dispositif d'adressage par rapport à celui des moyens électroluminescents dans ce type de circuit.

25 Ainsi, il se pose le problème d'améliorer les performances des pixels d'écrans ou d'afficheurs, par exemple de type OLED, notamment en terme de taux d'ouverture. Il se pose également le problème d'améliorer les performances électriques du dispositif
30 d'adressage de tels pixels.

EXPOSÉ DE L'INVENTION

La présente invention propose un dispositif microélectronique permettant de produire un rayonnement lumineux doté d'une matrice comportant une pluralité de pixels, chaque pixel étant formé d'un empilement de couches et comprenant :

- des moyens électroluminescents, aptes à émettre un rayonnement lumineux en fonction d'un courant reçu en entrée,
- 10 - des moyens modulateurs de courant aptes à moduler en fonction d'un signal de réglage acheminé par une ligne de données ledit courant en entrée des moyens électroluminescents,
- 15 - des moyens interrupteurs reliés à ladite ligne de données, aptes à transmettre ou non ledit signal de réglage aux moyens modulateurs de courant en fonction d'un signal de sélection,
- 20 - une ligne de sélection reliée aux moyens interrupteurs apte à acheminer ledit signal de sélection vers les moyens interrupteurs,
- 25 - une ligne de polarisation reliée aux moyens modulateurs de courant, apte à acheminer un signal de polarisation des moyens modulateurs de courant,
- 30 - un condensateur de stockage, apte à retenir ledit signal de réglage en entrée des moyens modulateurs de courant et comprenant une première électrode reliée aux moyens modulateurs de courant, la seconde électrode du condensateur étant reliée à une autre ligne de sélection d'un autre pixel de la matrice

Les moyens modulateurs de courant peuvent être situés entre les moyens interrupteurs et le condensateur de stockage dans ledit empilement de couches.

5 Un tel agencement peut permettre de limiter le nombre de croisements de lignes ou de zones semi-conductrices et/ou métalliques différentes au sein de chaque pixel.

Selon une possibilité d'agencement du
10 dispositif, les moyens modulateurs de courant ainsi qu'au au moins une portion du condensateur de stockage, peuvent être situés entre la ligne de polarisation et les moyens électroluminescents.

Dans une matrice de pixels suivant
15 l'invention, ladite seconde électrode du condensateur n'est pas reliée à une ligne ou à un bus dont le rôle est spécifiquement et uniquement dédié à la polarisation de cette dernière, mais à une ligne ayant une autre fonction, par exemple celle d'acheminer le
20 signal de sélection d'un autre pixel, ou par exemple celle de polariser les moyens modulateurs de courant dudit pixel.

Cela peut permettre notamment, de faciliter l'agencement des composants dudit pixel, ainsi qu'un
25 gain de place au sein de chaque pixel de la matrice. Ce gain de place peut permettre d'obtenir des pixels de taille réduite ou/et d'améliorer le taux d'ouverture (« aperture ratio » selon la terminologie anglo-saxonne) de chacun desdits pixels. Cela peut permettre
30 également de diminuer le nombre de croisements entre lignes susceptibles d'acheminer un signal électrique au

sein d'un même pixel, et ainsi de diminuer les interférences de type « cross talk » pouvant être générées par ces croisements.

Les moyens modulateurs sont reliés à une
5 ligne de polarisation. Cela peut permettre d'associer chaque pixel de la matrice à un circuit électronique d'adressage standard ou de se prémunir d'un circuit d'adressage spécifique.

Selon une mise en œuvre du dispositif
10 microélectronique selon l'invention, dans laquelle les moyens modulateurs comportent au moins une grille apte à recevoir ledit signal de réglage et formée à partir d'une couche dite couche de matériau de grille, la première électrode du condensateur de stockage peut
15 être connectée à ladite grille et formée à partir d'une couche dite « couche active », différente de la couche de matériau de grille.

La seconde électrode du condensateur et ladite autre ligne de sélection de l'autre pixel
20 peuvent être connectées et formées à partir d'une même couche, par exemple la couche de matériau de grille.

De tels agencements peuvent permettre de limiter le nombre de croisements entre des lignes ou des zones semi-conductrices et/ou métalliques
25 acheminant des signaux différents au sein de chaque pixel et de limiter le bruit ainsi que des risques de court-circuit.

Lesdits moyens électroluminescents peuvent comprendre une électrode formée d'au moins une couche
30 de nature organique. Ladite matrice peut être alors une matrice de pixels OLED.

Lesdits moyens interrupteurs peuvent comprendre au moins un transistor couche mince. Les moyens modulateurs de courant peuvent quant à eux comprendre au moins un transistor couche mince.

5 Selon une possibilité, les moyens modulateurs de courant peuvent également comprendre un transistor couche mince.

 Selon une variante, les moyens modulateurs de courant peuvent comprendre un premier transistor
10 couche mince et un second transistor couche mince partageant une région de drain commun.

 Dans le cas où la seconde électrode du condensateur est reliée à une autre ligne de sélection d'un autre pixel, ledit autre pixel peut être un pixel
15 voisin dudit pixel, par exemple situé sur une même rangée verticale de la matrice de pixels que ce dernier. Le condensateur de stockage peut être en contact avec ladite autre ligne de sélection dudit pixel voisin sur une distance d'au moins 50 μm ou la
20 moitié de la largeur du pixel.

 Le condensateur de stockage peut prendre plusieurs formes. Selon un mode de réalisation avantageux, ce dernier peut comprendre une partie située entre la ligne de polarisation et les moyens
25 électroluminescents et une autre partie située entre les moyens électroluminescents et ladite ligne de sélection dudit autre pixel.

 Selon un mode de réalisation particulier du dispositif suivant l'invention, ledit condensateur de
30 stockage peut avoir une forme en L, ce qui peut permettre notamment de faciliter l'agencement des

composants au sein de chaque pixel. Cette forme particulière peut permettre également lorsqu'une des barres formant le 'L' est en contact avec et parallèle à la ligne de sélection d'un autre pixel, d'obtenir un condensateur de stockage ayant de bonnes propriétés électriques.

Dans une matrice de pixels suivant l'invention, le condensateur de stockage peut être éventuellement formé de deux condensateurs mis en parallèles.

L'invention concerne également un dispositif microélectronique permettant de produire un rayonnement lumineux doté d'une matrice comportant une pluralité de pixels, chaque pixel étant formé d'un empilement de couches et comprenant :

- des moyens électroluminescents, aptes à émettre un rayonnement lumineux en fonction d'un courant reçu en entrée,
- des moyens modulateurs de courant,
- des moyens interrupteurs reliés à ladite ligne de données, aptes à transmettre ou non ledit signal de réglage aux moyens modulateurs de courant en fonction d'un signal de sélection,
- une ligne de sélection reliée aux moyens interrupteurs apte à acheminer ledit signal de sélection vers les moyens interrupteurs,
- une ligne de polarisation reliée aux moyens modulateurs de courant, apte à acheminer un signal de polarisation des moyens modulateurs de courant,

- un condensateur, apte à retenir ledit signal de réglage en entrée des moyens modulateurs de courant et comprenant une première électrode reliée aux moyens modulateurs de courant et une seconde électrode du condensateur reliée à ladite ligne de polarisation, les moyens modulateurs étant situés dans ledit empilement, entre le condensateur de stockage et les moyens interrupteurs.

Selon une possibilité, les moyens modulateurs peuvent comporter au moins une grille apte à recevoir ledit signal de réglage et formée à partir d'une couche dite couche de matériau de grille, la première électrode du condensateur de stockage étant connectée à ladite grille et formée à partir d'une couche dite « couche active », différente de la couche de matériau de grille.

Selon une possibilité d'agencement du dispositif, les moyens modulateurs de courant ainsi qu'au moins une portion du condensateur de stockage, peuvent être situés entre la ligne de polarisation et la diode électroluminescente.

BREVE DESCRIPTION DES DESSINS

La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés, à titre purement indicatif et nullement limitatif, en faisant référence aux dessins annexés sur lesquels :

- la figure 1 illustre un schéma électrique d'un pixel OLED suivant l'art antérieur,

- les figures 2 et 3 illustrent des schémas électriques d'exemples de matrice de pixels suivant l'invention,

5 - la figure 4 illustre un exemple d'empilement de couches comprises dans une matrice de pixels suivant l'invention,

- les figures 5A, 5B, 5C, 5D illustrent les motifs de différentes couches d'un tel empilement,

10 - la figure 6 illustre un autre empilement de couches comprises dans une variante de matrice de pixels suivant l'invention,

- les figures 7A, 7B, 7C, illustrent les motifs de différentes couches d'un tel autre empilement,

15 - les figures 8A, 8B, illustrent un autre exemple d'empilement de couches comprises dans une autre variante de matrice de pixels OLED suivant l'invention.

20 Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

25 Un dispositif microélectronique mis en œuvre suivant l'invention va à présent être décrit en liaison avec la figure 2. Ce dispositif comprend une matrice de m (avec m un entier) lignes ou « rangées horizontales » (suivant la direction de l'axe \vec{i} d'un repère orthogonal $[0 ; \vec{i} ; \vec{j}]$ défini sur cette figure)

verticales » (suivant la direction d'un axe \vec{j} du repère orthogonal $[0 ; \vec{i} ; \vec{j}]$) de pixels ou cellules de type OLED (OLED pour « Organic Light Emission Display »).

5 Sur la figure 2, on distingue notamment un pixel P comprenant tout d'abord des moyens électroluminescents de nature organique par exemple une diode de type OLED (OLED pour « Organic Light Emission Diode ») que l'on notera OEL. La diode OEL est apte à
10 émettre un rayonnement lumineux en fonction d'un courant qui lui est fourni en entrée par des moyens modulateurs de courant, par exemple sous forme d'un premier transistor couche mince TFT2a et d'un second transistor couche mince noté TFT2b. Les régions de
15 sources respectives du premier transistor couche mince TFT2a et du second transistor couche mince noté TFT2b sont chacune connectées à l'anode de la diode OEL. Les moyens modulateurs de courant sont polarisés par une tension de polarisation +Vdd par exemple de +16V,
20 acheminée par une ligne de polarisation notée PL reliée à une région de drain commune aux transistors TFT2a et TFT2b.

Dans cet exemple, la ligne de polarisation PL s'étend dans la même direction que celle des rangées
25 verticales de la matrice de pixels. La ligne de polarisation PL peut être partagée par plusieurs pixels appartenant à la même rangée verticale que le pixel P, voire à l'ensemble des pixels appartenant à la même rangée verticale de la matrice que le pixel P.

30 Le courant émis depuis les moyens

du pixel P, dépend notamment d'une tension de réglage vdat acheminée par une ligne que l'on notera DL et que l'on nommera « ligne de données ». Cette ligne de données DL s'étend dans cet exemple, dans la direction
5 des rangées verticales de la matrice. La ligne de donnée DL peut être partagée par plusieurs pixels, voire par l'ensemble des pixels appartenant à la même rangée verticale que le pixel P.

La ligne de données DL est reliée à des
10 moyens interrupteurs, qui prennent la forme par exemple d'un transistor couche mince noté TFT1. La source du transistor TFT1 est reliée aux grilles des transistors TFT2a et TFT2b. Le transistor TFT1 permet de transmettre ou non sur la grille du transistor TFT2a et
15 sur la grille du transistor TFT2b, la tension de réglage vdat, en fonction d'un signal dit de « sélection » noté vsel.

Le signal de sélection vsel est appliqué par exemple sur la grille du transistor TFT1.

20 La tension de sélection vsel du pixel P est acheminée par une ligne dite « de sélection », notée SL, qui s'étend dans cet exemple, dans la même direction que celle des rangées horizontales de la matrice. La ligne de sélection SL peut être partagée
25 par plusieurs pixels, voire par l'ensemble des pixels appartenant à la même rangée horizontale que le pixel P. Ainsi, dans cet exemple les pixels de la matrice sont adressés, rangée horizontale par rangée horizontale.

30 Le pixel P comprend en outre un condensateur dit « de stockage » Cs, qui permet de

retenir le signal de réglage v_{dat} , lorsque ce signal est transmis aux moyens modulateurs de courant TFT2a et TFT2b. Le condensateur C_s est agencé de manière à ce qu'une de ses électrodes est reliée aux grilles
5 respectives des transistors modulateurs TFT2a et TFT2b, tandis que la seconde électrode est reliée à une ligne ou à un bus jouant le rôle de ligne de masse ou de potentiel fixe.

Selon un agencement amélioré au sein du
10 pixel les transistors modulateurs TFT2a et TFT2b, peuvent être situés entre le transistor interrupteur et le condensateur de stockage C_s . Un tel agencement peut permettre de réduire le bruit dit de « cross talk » au sein du pixel.

15 La ligne ou le bus relié(e) à la seconde électrode du condensateur C_s , correspond dans cet exemple à une ligne de sélection SL' d'un autre pixel P' , voisin du pixel P et situé sur la même rangée verticale que ce dernier. La ligne de sélection SL'
20 appartenant au pixel voisin P' permet d'acheminer un signal de sélection dudit pixel voisin P' .

Dans cet exemple de matrice, les pixels étant adressés rangée horizontale par rangée horizontale, lorsqu'on modifie l'intensité lumineuse de
25 la diode OEL associée au pixel P , la ligne de sélection SL achemine le signal de sélection v_{sel} au pixel P , tandis que l'autre ligne de sélection SL' dudit pixel voisin P' est inactive et n'achemine pas de signal de sélection. P' est de préférence le pixel voisin de la
30 ligne précédemment adressée. En effet, si P' est adressé après P , la charge aux bornes de la capacité C_s

risque d'être modifiée pendant l'adressage de la ligne qui lui sert d'électrode. L'autre ligne de sélection SL' peut alors jouer le rôle de masse pour la seconde électrode du condensateur Cs. Lorsque SL' est inactive
5 elle est maintenue à un potentiel fixe, par exemple compris entre -2 V et + 2 V, généralement voisin de 0V.

Dans cet exemple, il n'est pas fait usage pour un pixel donné, d'une ligne ou d'un bus dont le rôle est uniquement et spécifiquement dédié à la
10 polarisation de la seconde électrode du condensateur de stockage Cs. Cette polarisation est, dans cet exemple, assurée par la ligne de sélection SL' dudit pixel voisin P', laquelle a également pour rôle d'acheminer le signal de sélection dudit pixel voisin P'.

15 Un tel agencement de pixel, peut être compatible avec un circuit électronique d'adressage standard, par exemple un circuit du type de ceux utilisés pour les matrices LCD (LCD pour « Liquid Crystal Display » ou afficheur à cristaux liquides).

20 Selon une variante de l'exemple de dispositif précédemment décrit, les transistors TFT2a et TFT2b de drain commun peuvent être éventuellement remplacés par un seul transistor couche mince, dont le drain est polarisé par la ligne PL, la source est
25 reliée à l'anode des moyens électroluminescents OEL, et la grille reliée à la première électrode du condensateur de stockage. Ce transistor modulateur peut être situé entre le transistor interrupteur et le condensateur de stockage.

30 La figure 3 représente une variante de l'exemple de dispositif précédemment décrit. Le

condensateur de stockage compris dans chaque pixel de la matrice et notamment dans le pixel P, est cette fois noté C''s et comprend tout d'abord une première électrode reliée aux grilles des transistors modulateurs de courant TFT2a et TFT2b, et une seconde électrode reliée à la ligne de polarisation PL du pixel P.

Dans cet exemple, comme dans l'exemple précédemment décrit, il n'est pas fait usage pour un pixel donné, d'une ligne ou d'un bus dont le rôle est uniquement et spécifiquement dédié à la polarisation de la seconde électrode du condensateur de stockage. Cette polarisation est assurée par la ligne PL qui permet par ailleurs d'acheminer le signal de polarisation des transistors modulateurs de courant TFT2a et TFT2b. L'agencement au sein du pixel peut être tel que les transistors modulateurs de courant TFT2a et TFT2b sont situés entre le transistor interrupteur et le condensateur de stockage. Un tel agencement peut permettre de réduire le bruit dit de « cross talk » au sein du pixel.

La ligne de polarisation PL étant maintenue à un potentiel fixe par exemple de l'ordre de +16V, les niveaux des tensions utilisés pour les tensions de réglage vdat et de sélection vsel du pixel P, seront différents de ceux utilisés dans l'exemple précédemment décrit en liaison avec la figure 2. Typiquement vdat est de l'ordre de 10V et vsel de l'ordre de 15 V.

La figure 4 représente un empilement technologique ou de couches en vue de dessus d'une partie d'une matrice de cellules ou de pixels OLED

(OLED pour « organic light-emitting display ») du type de celle précédemment décrite en liaison avec la figure 2. On distingue notamment dans la représentation de cet empilement, le pixel P délimité de chaque côté par des bus ou des lignes permettant d'acheminer des signaux électriques.

Le pixel P est délimité notamment par une ligne notée 112 lui appartenant et par une autre ligne notée 312 appartenant à un pixel voisin P'' situé sur une même rangée horizontale de la matrice que le pixel P. Les lignes 112 et 312 s'étendent dans une direction parallèle à l'axe \vec{j} d'un repère orthogonal $[0 ; \vec{i} ; \vec{j}]$ défini sur la figure 4, qui correspond à la même direction que celle des rangées verticales de la matrice. Les lignes 112 et 312 correspondent respectivement à la ligne de données DL apte à acheminer le signal de réglage vdat du pixel P, et à une ligne de données notée DL'' apte à acheminer le signal de réglage du pixel voisin P''.

Le pixel P est par ailleurs délimité par une autre paire de lignes dont une notée 106 lui appartient et dont une autre notée 206 appartient à un autre pixel voisin P' situé sur une même rangée verticale de la matrice que le pixel P.

Les lignes 106 et 206 s'étendent dans une direction parallèle à l'axe \vec{i} du repère orthogonal $[0 ; \vec{i} ; \vec{j}]$, correspondant à la même direction que celle des rangées verticales de la matrice. Les lignes 106 et 206 correspondent respectivement à la ligne de sélection SL apte à acheminer le signal de sélection

apte à acheminer le signal de sélection $v_{sel'}$ du pixel voisin P' .

Dans cet exemple l'agencement du pixel P est tel que le transistor commutateur TFT1, est placé à proximité d'un croisement entre la ligne de données DL et la ligne de sélection SL, ainsi qu'à proximité des transistors modulateurs de courant TFT2a et TFT2b. Les transistors TFT2a et TFT2b quant à eux sont placés entre une zone de forme rectangulaire notée 140, qui correspond à une électrode de la diode électroluminescente OEL, et une ligne notée 128, qui s'étend dans une direction parallèle à l'axe \vec{j} du repère $[0 ; \vec{i} ; \vec{j}]$, et qui correspond à la ligne de polarisation PL desdits transistors modulateurs de courant TFT2a et TFT2b. Au sein de l'empilement de couches minces, les transistors modulateurs TFT2a et TFT2b peuvent être également situés entre le transistor interrupteur TFT1 et le condensateur de stockage Cs. Cet agencement peut permettre de réduire le nombre de croisements entre zones ou lignes semi-conductrices et/ou métalliques, horizontales et verticales du pixel. Le bruit de type « cross talk » ou bruit de croisements et les risques de courts-circuits peuvent être ainsi réduits.

Le condensateur de stockage du pixel P épouse quant à lui la forme de l'électrode 140 de la diode électroluminescente. Ce condensateur de stockage Cs comporte une première portion située entre l'électrode 140 de la diode électroluminescente et la ligne de polarisation PL, et une seconde portion située

entre la ligne de sélection SL' dudit pixel voisin P' et l'électrode 140 de la diode électroluminescente.

Ledit empilement technologique est formé notamment d'une couche active, par exemple à base de polysilicium, dont les motifs sont par ailleurs représentés en vue de dessus sur la figure 5A. Dans une zone notée 100 de cette couche active, sont formées notamment une région de drain 100a, ainsi qu'une région de source 100b du transistor de commutation TFT1.

Dans une autre zone notée 102, sont formées respectivement une région de source 102a du premier transistor modulateur de courant TFT2a, une autre région de source 102b du second transistor modulateur de courant TFT2b, ainsi qu'une région de drain 102c commune au premier et au second transistor modulateur de courant.

Une autre zone de la couche active notée 104, prenant la forme d'un 'L', correspond quant à elle à une première électrode du condensateur de stockage Cs. Cette première électrode est recouverte d'un isolant (non représenté) par exemple à base de SiO₂, qui peut être formé dans la même couche que l'isolant de grille respectivement des transistors TFT1, TFT2a et TFT2b.

L'agencement des zones 100, 102, 104 peut être tel que la zone 102 est située entre la zone 100 et la zone 104. Autrement dit, la zone active des transistors modulateurs de courant TFT2a et TFT2b est située entre la zone active du transistor interrupteur TFT1 et la première électrode du condensateur de stockage Cs.

Une couche à base de matériau de grille, par exemple de l'aluminium, surmonte ledit isolant de grille et du condensateur Cs. Les motifs de cette couche à base de matériau de grille sont représentés en
5 figure 5B et comprennent notamment la ligne 106, qui correspond à ladite ligne de sélection SL du pixel P.

Des zones juxtaposées notées 107a, 107b, 107c, sont chacune reliées à la ligne 106. Comme le montre l'empilement de la figure 4, ces zones
10 juxtaposées 107a, 107b, 107c recouvrent une portion de la zone 100 de la couche active (figure 5A) et forment une structure multi-grille pour le transistor de commutation TFT1.

La couche à base de matériau de grille
15 comprend également des parties 108 et 109, qui, comme le montre l'empilement de la figure 4, recouvrent des portions de la zone 102 de la couche active, qui correspondent respectivement à la grille du premier transistor de commutation TFT2a et à la grille du
20 second transistor de commutation TFT2b.

Une autre zone de la couche de matériau de grille, prenant la forme d'un 'L' et notée 110 sur la figure 5B correspond quant à elle à la seconde électrode du condensateur de stockage Cs. Les parties
25 108 et 109 de la couche à base de matériau de grille, correspondant respectivement à la grille du premier transistor de commutation TFT2a et à la grille du second transistor de commutation TFT2b, sont disjointes de la zone 110 de la couche à base de matériau de
30 grille.

La seconde électrode est quant à elle reliée à la ligne notée 206 qui correspond à la ligne de sélection SL' dudit pixel voisin P'. La seconde électrode du condensateur la ligne de sélection SL' du pixel P' peuvent être ainsi connectées et formées à partir d'une même couche, en particulier de la couche de matériau de grille.

La ligne 206 sert de ligne de potentiel fixe ou de ligne de masse pour la seconde électrode du condensateur. Le pixel suivant l'invention ne comprend pas de ligne ou de zone dont le rôle est spécifiquement dédié à celui de ligne de masse ou de potentiel fixe pour la seconde électrode du condensateur de stockage. Dans cet exemple c'est la ligne 206 qui joue ce rôle et qui sert également de ligne de sélection SL' du pixel voisin P'.

Une partie notée 110a de la zone 110, s'étend dans une direction parallèle à l'axe \vec{i} du repère $[0 ; \vec{i} ; \vec{j}]$ et constitue la barre horizontale du 'L'. Cette partie 100a a une longueur d1 qui peut être de l'ordre de 50 μm , par exemple 58 μm et qui se trouve en contact avec la ligne de sélection SL' du pixel voisin P', sur une distance égale à la distance d1.

La distance de contact entre la seconde électrode du condensateur Cs et la ligne de sélection SL' du pixel voisin pourra varier suivant la forme du condensateur Cs.

La distance de contact entre la seconde électrode du condensateur et la ligne de sélection SL' peut être comprise par exemple entre 10 μm et 80 μm

pour un pixel par exemple de dimensions $120\ \mu\text{m} * 360\ \mu\text{m}$ ou être par exemple d'au moins $1/5^{\text{ème}}$ de la largeur du pixel et d'au plus $4/5^{\text{ème}}$ de la largeur du pixel. La zone 110 formant la seconde électrode du condensateur

5 Cs peut avoir une surface, par exemple de l'ordre de $3300\ \mu\text{m}^2$ pour une capacité du condensateur de l'ordre de 1,2 pF. Une autre partie notée 110b de cette zone 110 constitue la barre horizontale du 'L', et s'étend dans une direction parallèle à l'axe \vec{j} du repère

10 $[0 ; \vec{i} ; \vec{j}]$. Cette partie 100b a une longueur d2 qui peut être de l'ordre de $60\ \mu\text{m}$, par exemple $67\ \mu\text{m}$.

Un pixel mis en œuvre suivant l'invention n'est pas limité à une forme en 'L'. Cette forme en 'L' permet de maintenir une distance de contact importante

15 entre la seconde électrode du condensateur et la ligne de sélection SL' du pixel voisin P' et d'avoir un condensateur de stockage Cs ayant de bonnes propriétés électriques, tout en limitant l'encombrement de ce dernier.

20 Une couche à base de matériau diélectrique (non représentée), par exemple à base de SiO_2 repose sur la couche à base de matériau de grille 111. Par-dessus ladite couche à base de matériau diélectrique se trouve une couche métallique dont les motifs sont

25 représentés en figure 5C. Dans cette couche métallique, par exemple à base de molybdène, est formée la ligne 112 qui correspond à la ligne de données DL du pixel P. Un nœud noté 114 appartenant à cette ligne de données DL, est relié électriquement, par l'intermédiaire d'un

30 contact vertical ou via noté 115 à la région de drain

Un second nœud 116, également formé dans la couche métallique, peut permettre d'assurer une connexion, entre la région de source du transistor de commutation TFT1 et la grille 108 du premier transistor modulateur de courant TFT2a, par l'intermédiaire de contacts verticaux ou vias notés 117 et 118. Dans cette même couche de métal, un troisième nœud de connexion noté 120 permet, par l'intermédiaire de contacts verticaux ou vias notés 121 et 122, de relier électriquement la région de source du premier transistor modulateur de courant TFT2 et la zone notée 140 servant d'anode pour la diode électroluminescente OEL.

Un quatrième nœud de connexion noté 124 permet quant à lui, par l'intermédiaire de contacts verticaux notés 125 et 126, de relier électriquement la région de source du second transistor modulateur de courant TFT2b avec la zone 140 d'anode de la diode OEL.

Un cinquième nœud de connexion noté 128, également formé dans la couche de métal, a pour rôle d'assurer une connexion entre la première électrode du condensateur Cs et la région de grille du transistor modulateur de courant TFT2a, par l'intermédiaire de contacts verticaux 129 et 130.

La première électrode du condensateur de stockage est connectée à ladite grille du transistor modulateur de courant TFT2a, et ainsi apte à recevoir le signal de réglage. La première électrode du condensateur de stockage et la grille du transistor modulateur de courant TFT2a sont formées à partir de couches différentes.

Dans la couche métallique est également formée la ligne notée 131, qui correspond à la ligne de polarisation PL des transistors modulateurs de courant TFT2a et TFT2b. Par l'intermédiaire d'un contact vertical 133, un nœud de connexion noté 132, appartenant à cette ligne de polarisation PL est relié électriquement à la région de drain commune aux transistors TFT2a et TFT2b.

L'empilement technologique peut comprendre en outre une couche de passivation, par dessus la couche métallique représentée en figure 5B, ainsi qu'une autre couche représentée en figure 5D, surmontant la couche de passivation et dans laquelle est réalisée la zone 140 formant l'anode de la diode électroluminescente OEL. Cette zone 140 peut être à base de ITO (ITO pour Indium TiN Oxyde) et avoir par exemple la forme d'un rectangle, de longueur L (définie sur la figure 5D dans une direction parallèle à l'axe \vec{j} du repère $[O ; \vec{i} ; \vec{j}]$) par exemple de l'ordre de 250 μm , par exemple de 253 μm .

Par dessus la couche à base de ITO formant l'anode de la diode électroluminescente OEL, l'empilement représenté en figure 4 et sur les figures 5A-5D est complété par au moins une couche de nature organique d'injections de porteurs (non représentée), par exemple à base de Alq3, apte à émettre un rayonnement lumineux. Dans un pixel mis en œuvre suivant l'invention, on n'utilise pas de ligne d'alimentation ou de polarisation spécifique pour la seconde électrode du condensateur de stockage Cs. Cette seconde électrode étant reliée à la ligne de sélection

SL' d'un autre pixel, le pixel dont l'empilement technologique vient d'être décrit a un nombre de bus inférieur à ceux des pixels suivant l'art antérieur, ce qui peut permettre notamment un gain de place dans l'agencement dudit pixel et d'améliorer son taux d'ouverture (aperture ratio selon la terminologie anglo-saxonne) ou éventuellement d'obtenir de former un pixel de taille réduite par rapport à ceux de l'art antérieur.

10 Le nombre de bus dans le pixel suivant l'invention étant diminué, le nombre de croisements entre bus ou lignes permettant d'acheminer des signaux électriques au sein d'un même pixel l'est également ce qui peut permettre notamment certains phénomènes de bruit ou « cross talk » dus à ces croisements.

15 La figure 6 représente un autre exemple d'empilement technologique du type de celui précédemment décrit, mais qui diffère notamment au niveau de la constitution et de la forme du condensateur de stockage compris dans chaque pixel.

20 Dans cet exemple, le condensateur de stockage C's compris dans le pixel P, diffère de celui illustré en liaison avec la figure 4, en ce qu'il est formé de deux condensateurs C's1 et C's2 mis en parallèles l'un avec l'autre. Le condensateur C's a par ailleurs la forme d'un rectangle (dont la longueur est parallèle à l'axe \vec{j} d'un repère $[0 ; \vec{i} ; \vec{j}]$ définie sur cette figure 6) et qui se trouve placé entre la ligne de polarisation PL et l'électrode 140 de la diode électroluminescente.

25

30

L'empilement technologique de la figure 6 comprend notamment une couche active, dont les motifs sont représentés sur la figure 7A. Les motifs de la couche active diffèrent de ceux de la couche active
5 compris dans l'exemple d'empilement précédemment décrit, notamment au niveau d'une zone notée 404, qui forme la première électrode pour le condensateur C's1, et qui a dans cet exemple une forme d'un rectangle dont la longueur est parallèle à l'axe \vec{j} d'un repère
10 $[0 ; \vec{i} ; \vec{j}]$. Une zone notée 402 de la couche active forme la zone active des transistors modulateur TFT2a et TFT2b et est située entre la première électrode du condensateur C's1 et une autre zone notée 400 de la couche active jouant le rôle de zone active pour le
15 transistor interrupteur TFT1.

L'empilement technologique de la figure 6 comprend également une couche à base de matériau de grille notée 411 par-dessus la couche active, dont les motifs sont représentés sur la figure 7B. Parmi les
20 motifs de la couche à base de matériau de grille notée 411, une zone notée 410 de la forme d'un rectangle, dont la longueur est parallèle à l'axe \vec{j} d'un repère $[0 ; \vec{i} ; \vec{j}]$, constitue une seconde électrode pour le condensateur C's1. Cette seconde électrode est comme
25 pour l'exemple de pixel décrit précédemment, reliée à une ligne de sélection SL' d'un autre pixel P', voisin du pixel P et situé sur une même rangée verticale de la matrice que ce dernier. La zone notée 410 constitue par ailleurs une électrode pour le condensateur C's2. Une
30 zone de la couche de matériau de grille, comportant des

premier transistor de modulation TFT2a et la grille du second transistor de modulation TFT2b, est située entre la zone 410 et des zones juxtaposées notées 107a, 107b, 107c, formant une structure multi-grille pour le transistor de commutation TFT1.

L'empilement technologique comprend en outre une couche métallique notée 435, située par-dessus la couche à base de matériau de grille 411, et dont les motifs sont représentés sur la figure 7C.

10 Dans la couche métallique 435, sont formées notamment la ligne de polarisation PL, ainsi que la ligne de données DL. Par rapport à la couche métallique 235 de l'exemple d'empilement précédemment décrit, la couche métallique 435 comprend notamment un motif

15 supplémentaire noté 436, de la forme d'un rectangle, dont la longueur est parallèle à l'axe \vec{j} d'un repère orthogonal $[0 ; \vec{i} ; \vec{j}]$. Le motif 436 forme une autre électrode pour le condensateur C's2. Cette seconde électrode est reliée à la première électrode du

20 condensateur C's1 formée dans la couche active 405, par l'intermédiaire de vias ou de contacts verticaux notés 437. Le motif 436 est relié par ailleurs à un autre motif supplémentaire 438 formé dans la couche métallique 435 et qui, par l'intermédiaire de vias ou

25 de contacts verticaux 439, est connecté à la grille du premier transistor modulateur de courant TFT2a.

Il s'agit là d'une variante permettant de réaliser les contacts (contacts stockés) pour gagner en surface d'émission. Ce type de contact aurait très bien

30 pu être utilisé sur la figure 5C.

Les figures 8A et 8B illustrent une variante d'empilement technologique en vue de dessus d'un pixel, du type de ceux compris dans la matrice précédemment décrite en liaison avec la figure 3.

5 Sur la figure 8A, des zones 500, 502, 504 formées à partir d'une couche active sont représentées. La zone 502 sert de zone active pour les transistors modulateurs de courant est située entre une zone 500 jouant le rôle de zone active pour le transistor
10 interrupteur et une zone 504 servant d'une première électrode du condensateur de stockage.

Sur la figure 8B, une couche à base de matériau de grille 511 située sur la couche active et une autre couche métallique 535, située par dessus la
15 couche 511 sont représentées. Dans la couche à base de matériau de grille est formée notamment une zone 510, par exemple de la forme d'un rectangle, parallèle dans le sens de sa longueur à la ligne de polarisation PL du pixel P. La ligne de polarisation PL du pixel P est
20 quant à elle formée dans la couche métallique 535.

La zone 510 de la couche de matériau de grille forme une deuxième électrode du condensateur de stockage C''s. L'agencement de la ligne de polarisation PL par rapport à la zone 510 est tel qu'une projection
25 orthogonale sur un même plan de la zone 510 et de la ligne PL sont au moins partiellement confondues. La zone 510 est reliée électriquement à la ligne de polarisation PL par l'intermédiaire de contacts verticaux 532. Ainsi, la ligne de polarisation PL sert
30 de ligne de potentiel fixe pour une des électrodes du condensateur C''s. L'autre électrode du condensateur

C''s (non représentée sur cette figure) est reliée ou connectée à la grille du transistor modulateur de courant TFT2a par l'intermédiaire d'une interconnexion 537 formée dans la couche métallique 535.

5 Selon cette variante, dans l'empilement technologique, les transistors modulateurs de courant TFT2a et TFT2b, peuvent être situés entre le transistor interrupteur et le condensateur de stockage Cs. Les transistors modulateurs de courant TFT2a et TFT2b, et
10 le condensateur de stockage Cs peuvent être situés entre la ligne de polarisation PL et la diode électroluminescente.

REVENDICATIONS

1. Dispositif microélectronique permettant de produire un rayonnement lumineux, doté d'une matrice
5 comportant une pluralité de pixels, chaque pixel étant formé d'un empilement de couches et comprenant :
- des moyens électroluminescents (OEL), aptes à émettre un rayonnement lumineux en fonction d'un courant reçu en entrée,
 - 10 - des moyens modulateurs de courant (TFT2a, TFT2b) aptes à moduler en fonction d'un signal de réglage acheminé par une ligne de données (DL) ledit courant en entrée des moyens électroluminescents,
 - des moyens interrupteurs (TFT1) reliés à
15 ladite ligne de données (DL), aptes à transmettre ou non ledit signal de réglage aux moyens modulateurs de courant en fonction d'un signal de sélection,
 - une ligne de sélection (SL) reliée aux moyens interrupteurs apte à acheminer ledit signal de
20 sélection vers les moyens interrupteurs,
 - une ligne de polarisation (PL) reliée aux moyens modulateurs de courant, apte à acheminer un signal de polarisation des moyens modulateurs de courant,
 - 25 - un condensateur (Cs), apte à retenir ledit signal de réglage en entrée des moyens modulateurs de courant et comprenant une première électrode, reliée aux moyens modulateurs de courant, une seconde électrode reliée à une ligne de sélection
30 (SL') d'un autre pixel (P'), les moyens modulateurs de

courant étant situés entre le condensateur de stockage et les moyens interrupteurs dans ledit empilement.

2. Dispositif microélectronique selon la
5 revendication 1, ledit condensateur de stockage (Cs) étant en contact avec ladite ligne de sélection (SL') dudit autre voisin (P') sur une distance d'au moins 50 μm ou la moitié de la largeur du pixel (P).

10 3. Dispositif microélectronique selon l'une des revendications 1 ou 2, ledit condensateur de stockage (Cs) comprenant une partie située entre la ligne de polarisation (PL) et les moyens électroluminescents et une autre partie située entre
15 les moyens électroluminescents et ladite ligne de sélection (SL') dudit autre pixel (P').

4. Dispositif microélectronique permettant de produire un rayonnement lumineux doté d'une matrice
20 comportant une pluralité de pixels, chaque pixel étant formé d'un empilement de couches et comprenant :

- des moyens électroluminescents (OEL), aptes à émettre un rayonnement lumineux en fonction d'un courant reçu en entrée,
- 25 - des moyens modulateurs de courant,
- des moyens interrupteurs (TFT1) reliés à ladite ligne de données (DL), aptes à transmettre ou non ledit signal de réglage aux moyens modulateurs de courant en fonction d'un signal de sélection,

- une ligne de sélection (SL) reliée aux moyens interrupteurs apte à acheminer ledit signal de sélection vers les moyens interrupteurs,
- une ligne de polarisation (PL) reliée aux
5 moyens modulateurs de courant, apte à acheminer un signal de polarisation des moyens modulateurs de courant,
- un condensateur (Cs), apte à retenir ledit signal de réglage en entrée des moyens
10 modulateurs de courant et comprenant une première électrode reliée aux moyens modulateurs de courant et une seconde électrode du condensateur reliée à ladite ligne de polarisation (PL), les moyens modulateurs étant situés dans ledit empilement, entre le
15 condensateur de stockage et les moyens interrupteurs.

5. Dispositif microélectronique selon l'une des revendications 1 à 4, les moyens modulateurs de courant comprenant au moins un transistor couche
20 mince.

6. Dispositif microélectronique selon l'une des revendications 1 à 5, les moyens modulateurs de courant comprenant un premier transistor couche
25 mince (TFT2a) et un second transistor couche mince (TFT2b) partageant une région de drain commun et une région de source commune.

7. Dispositif microélectronique selon l'une
30 des revendications 1 à 6, ledit condensateur de

8. Dispositif microélectronique selon l'une des revendications 1 à 7, ledit condensateur de stockage (C's) étant formé de deux condensateurs (C's1, C's2) mis en parallèles.

5

9. Dispositif microélectronique selon la revendication 8, dans lequel ladite matrice est formée d'un empilement de couches minces comprenant au moins une couche active, au moins une couche à base de matériau de grille de transistors, au moins une couche
10 métallique, ledit condensateur de stockage (Cs) étant formé d'un premier condensateur (C's1) doté d'une électrode (C's1) formée dans la couche active, d'une électrode formée dans ladite couche de matériau de
15 grille,

- d'un second condensateur (C's2) doté d'une électrode formée dans ladite couche métallique et d'une électrode commune avec ladite autre électrode du premier condensateur.

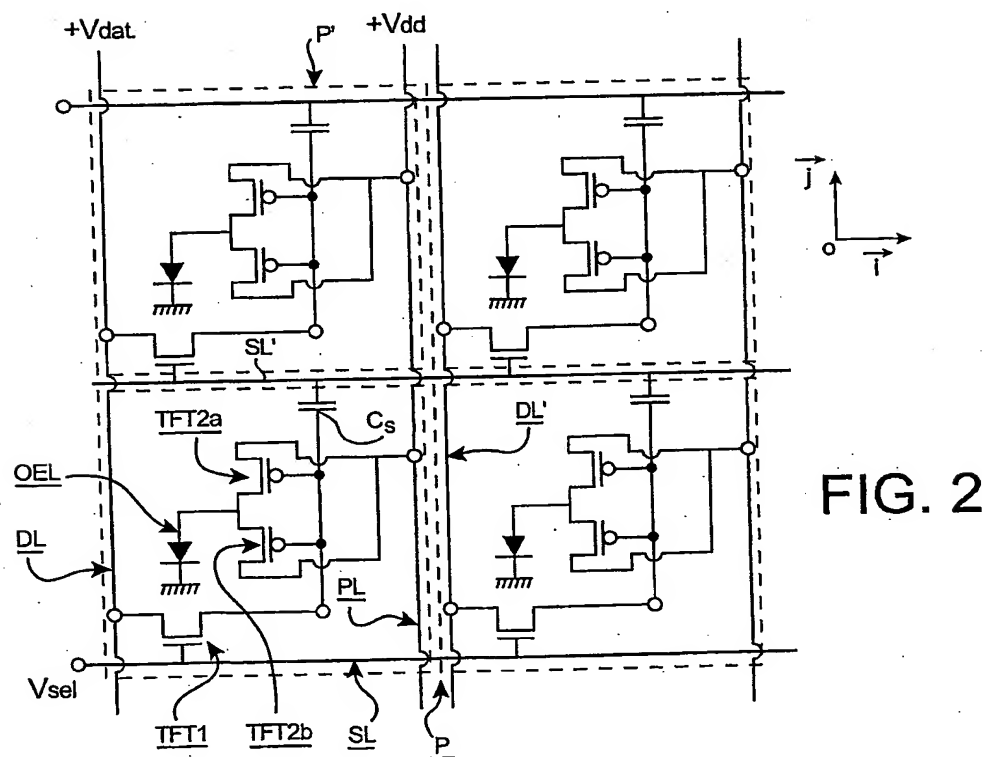
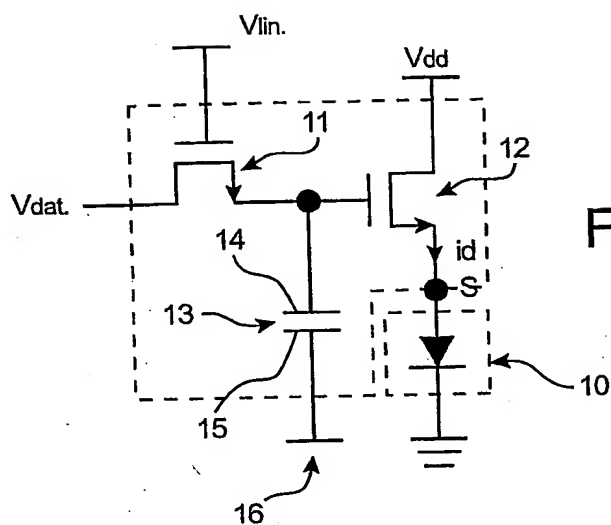
20

10. Dispositif microélectronique selon l'une des revendications 1 à 9, les moyens interrupteurs (TFT1) comprenant au moins un transistor couche mince.

25

11. Dispositif microélectronique selon l'une des revendications 1 à 10, dans lequel les moyens électroluminescents comprennent une électrode formée d'au moins une couche de nature organique, ladite
30 matrice étant une matrice de pixels OLED.

1 / 13



2 / 13

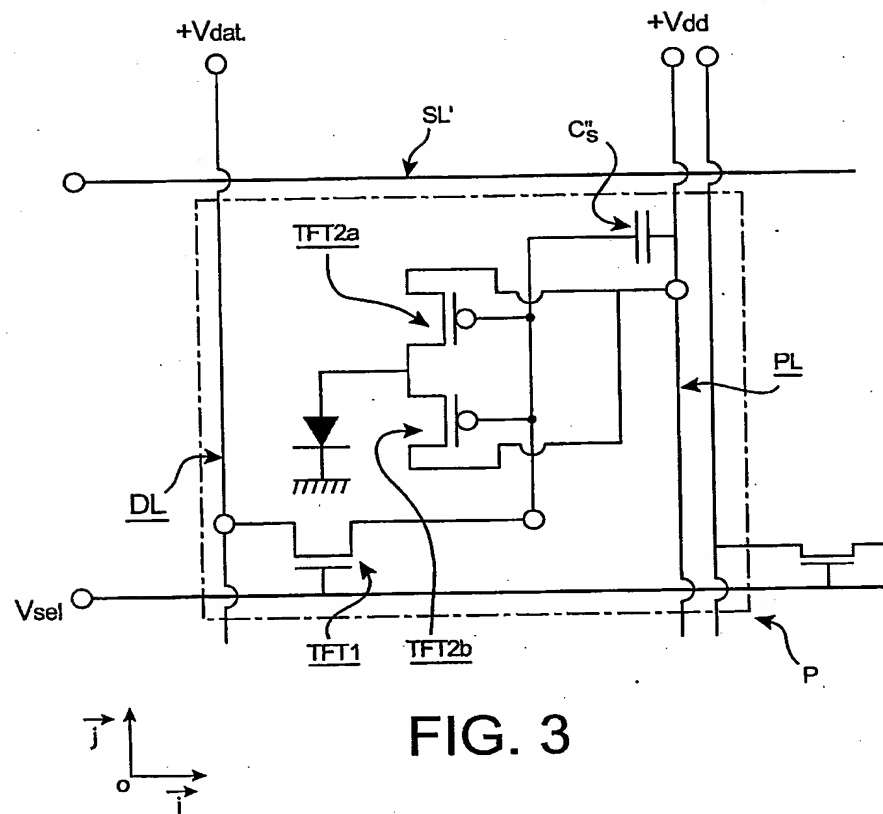
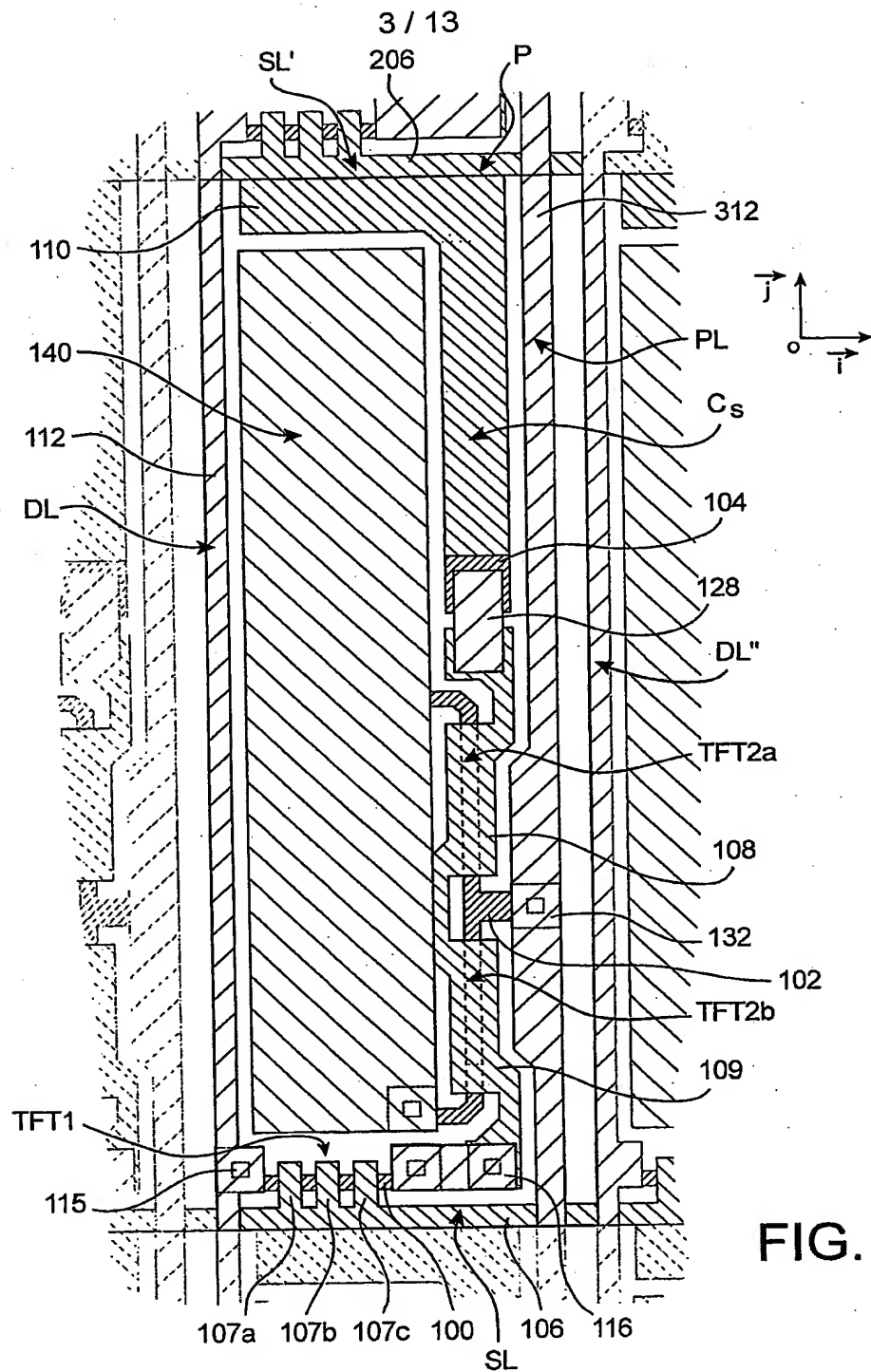


FIG. 3



4 / 13

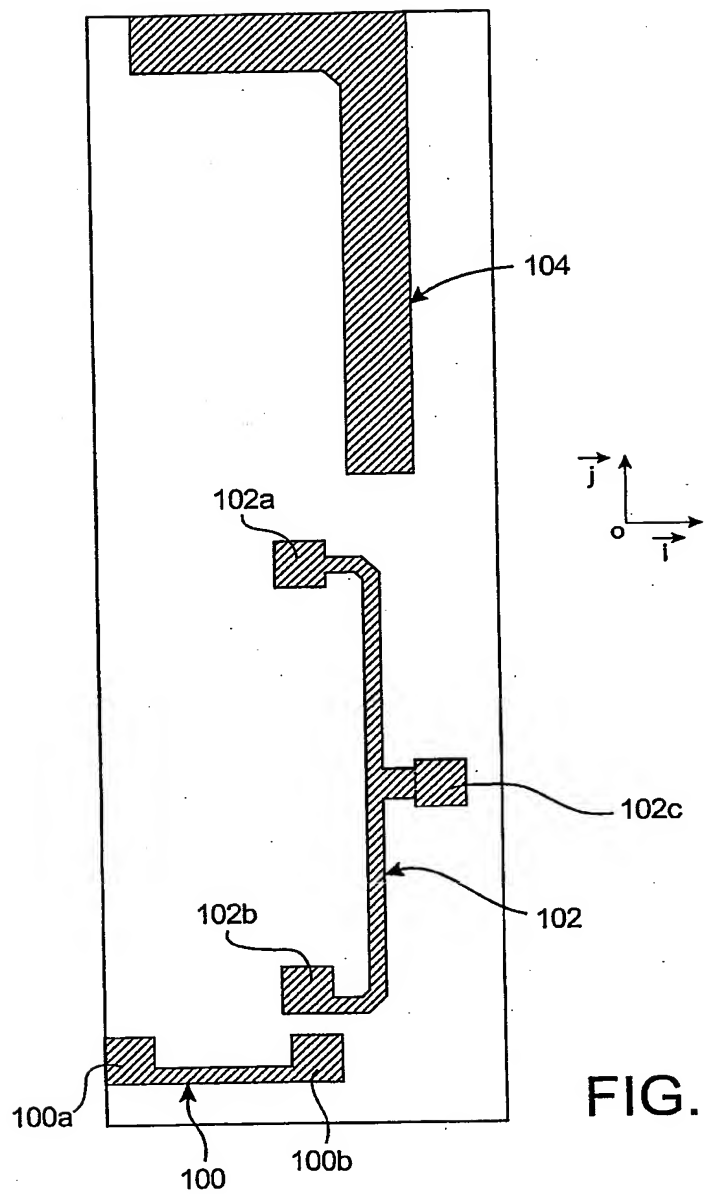
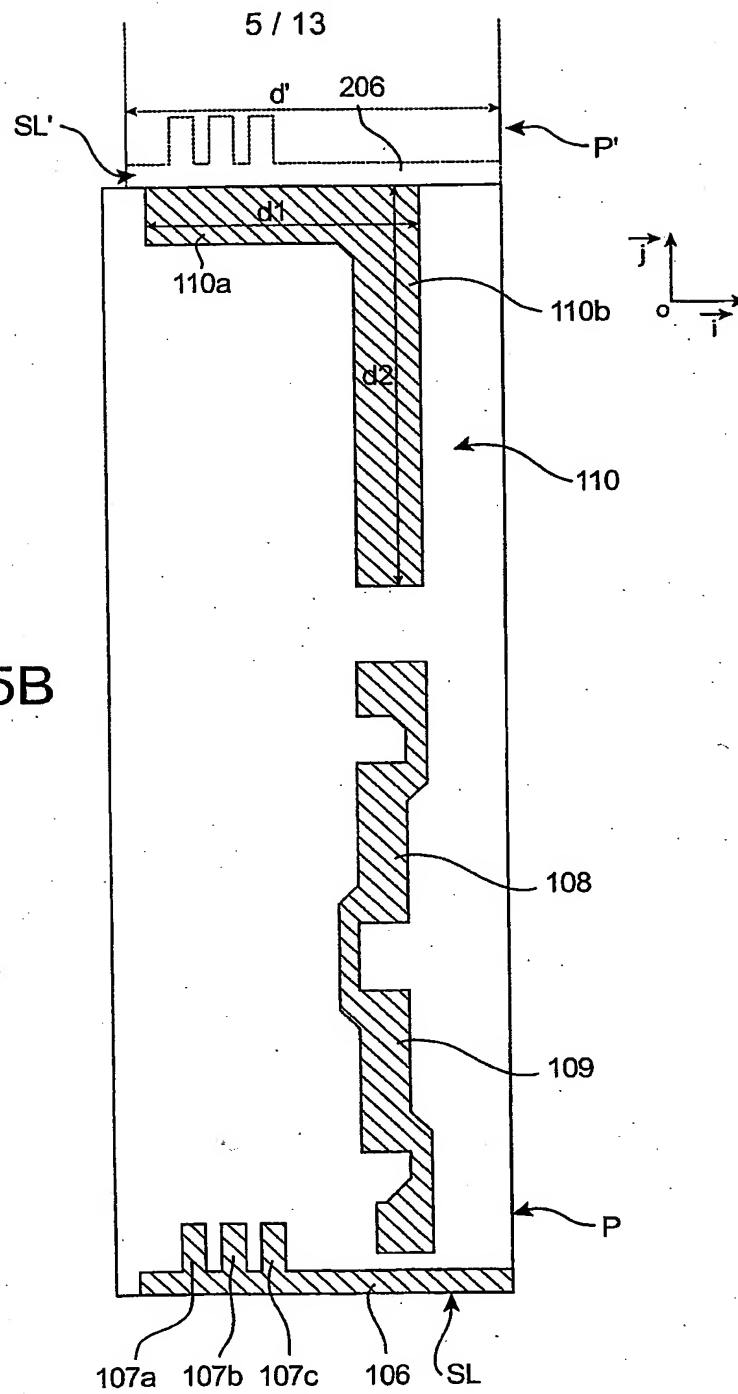


FIG. 5A



6 / 13

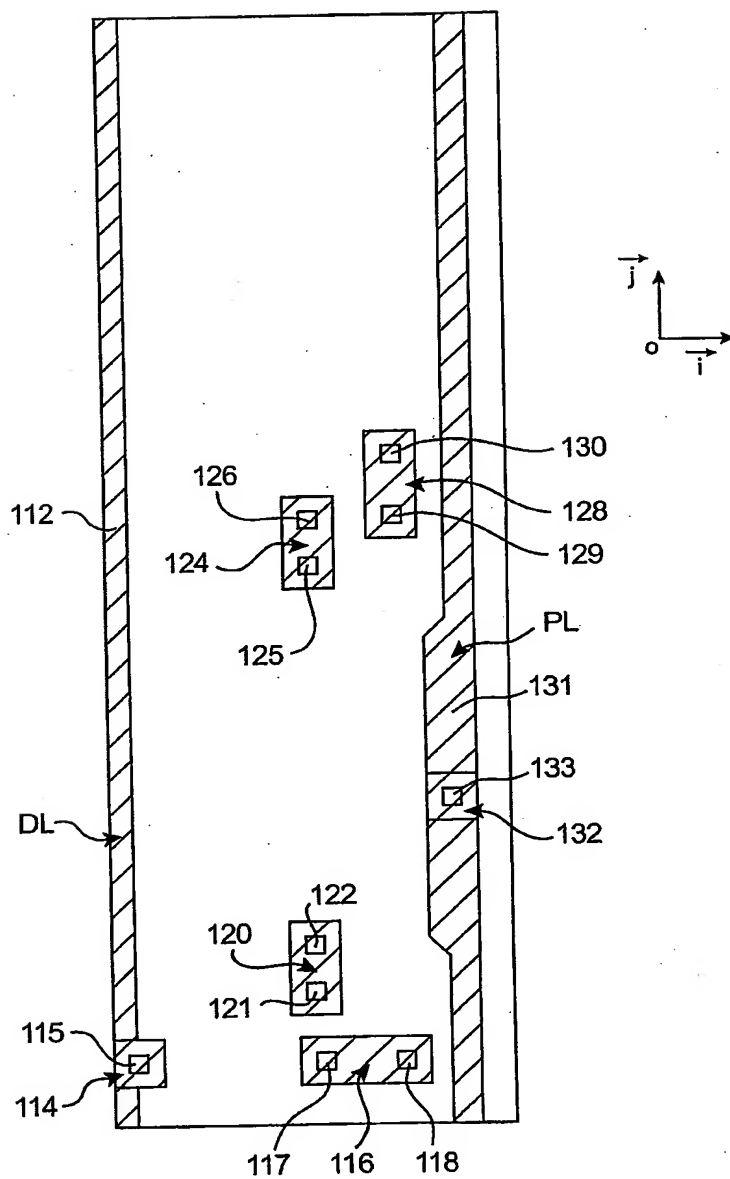
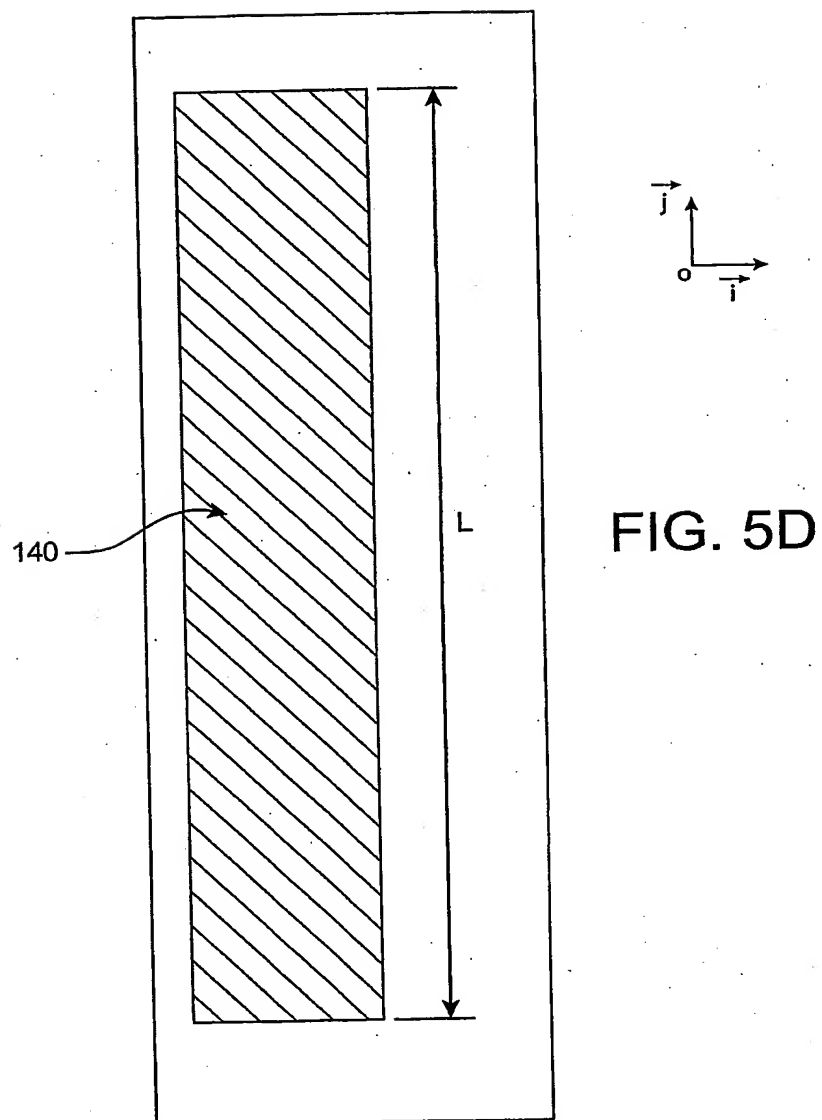


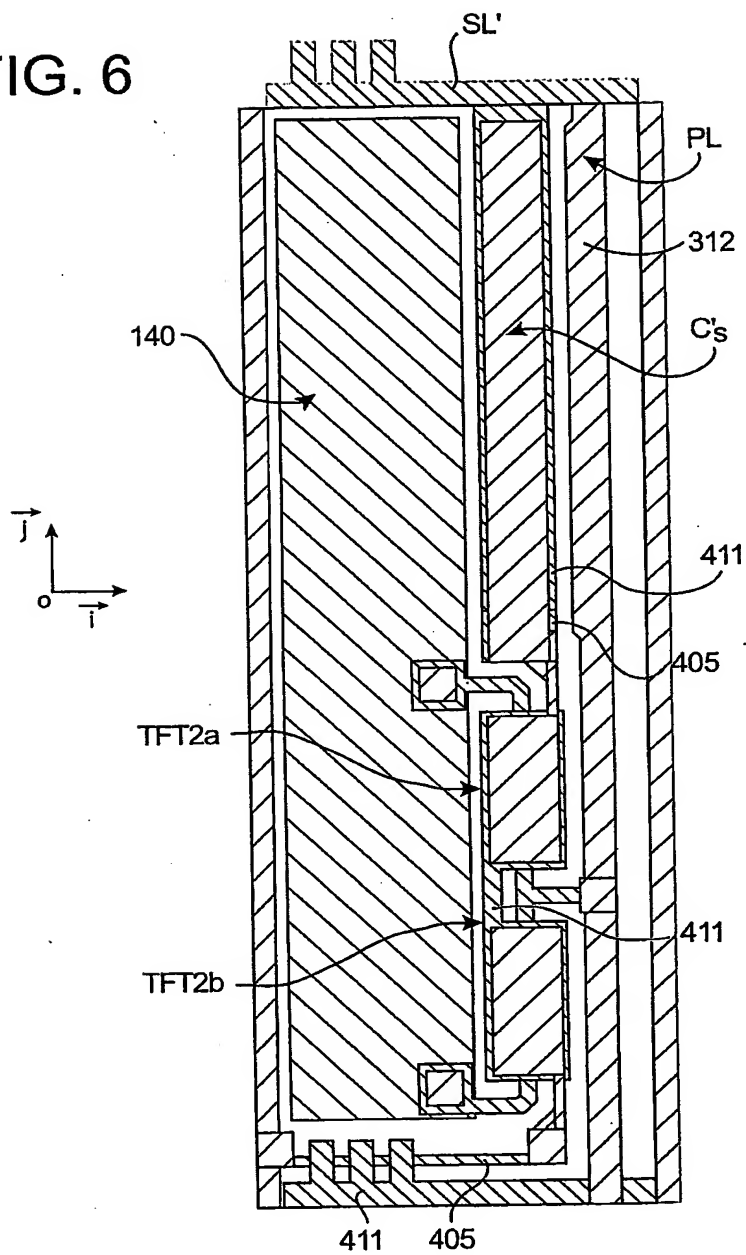
FIG. 5C

7 / 13



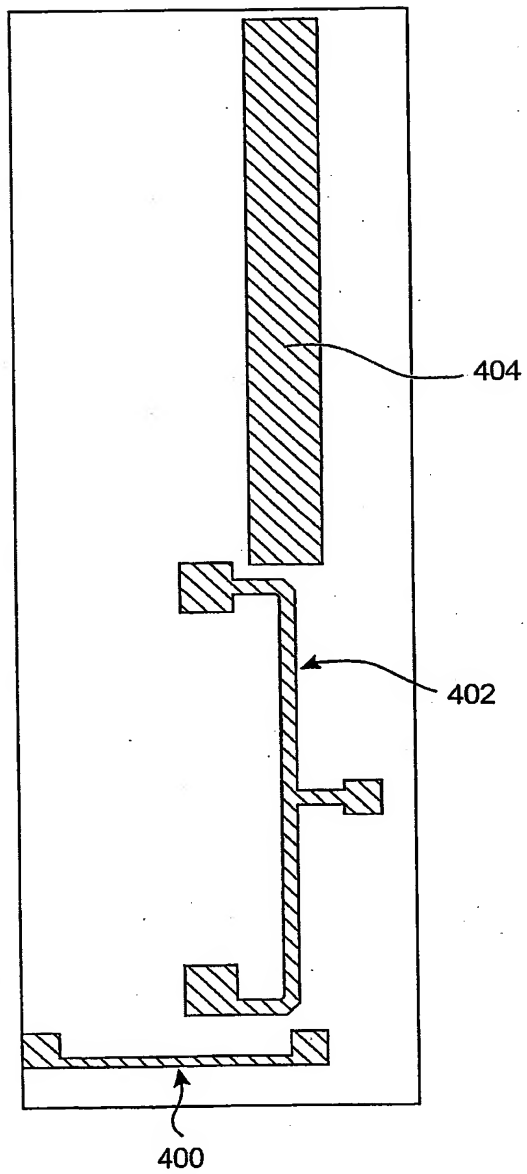
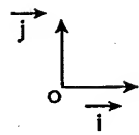
8 / 13

FIG. 6

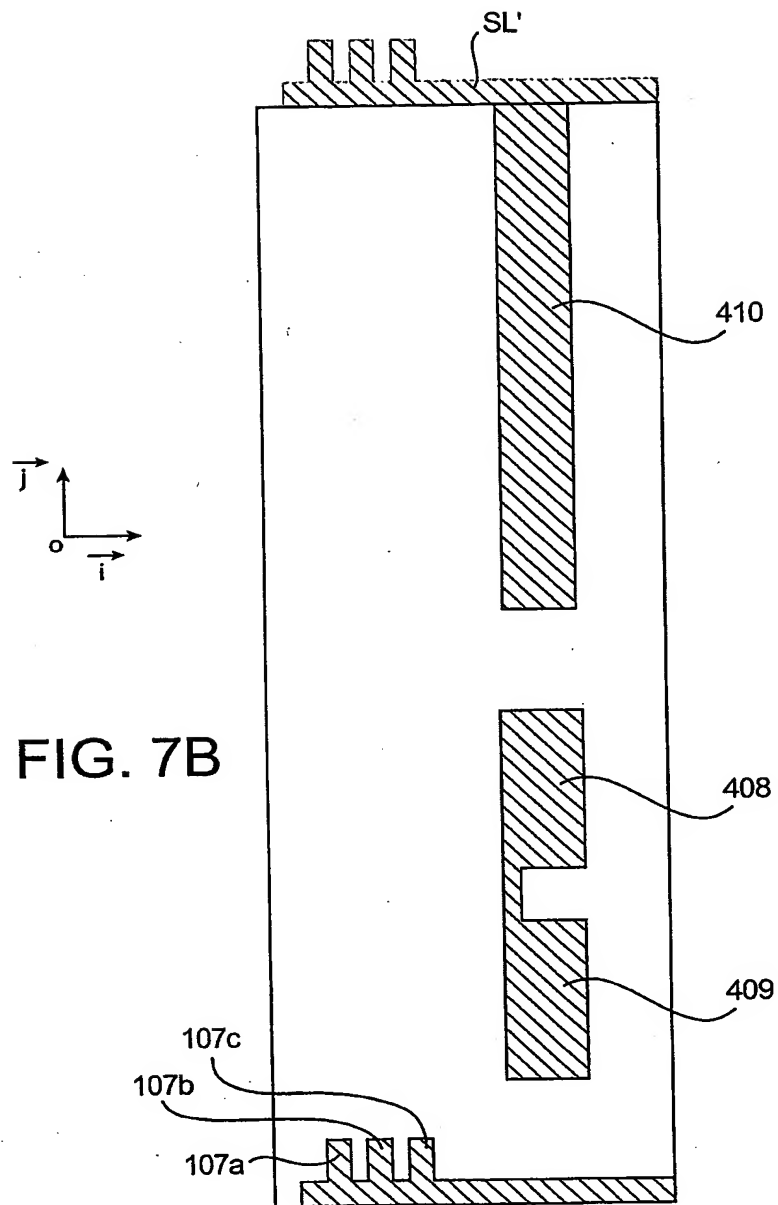


9 / 13

FIG. 7A

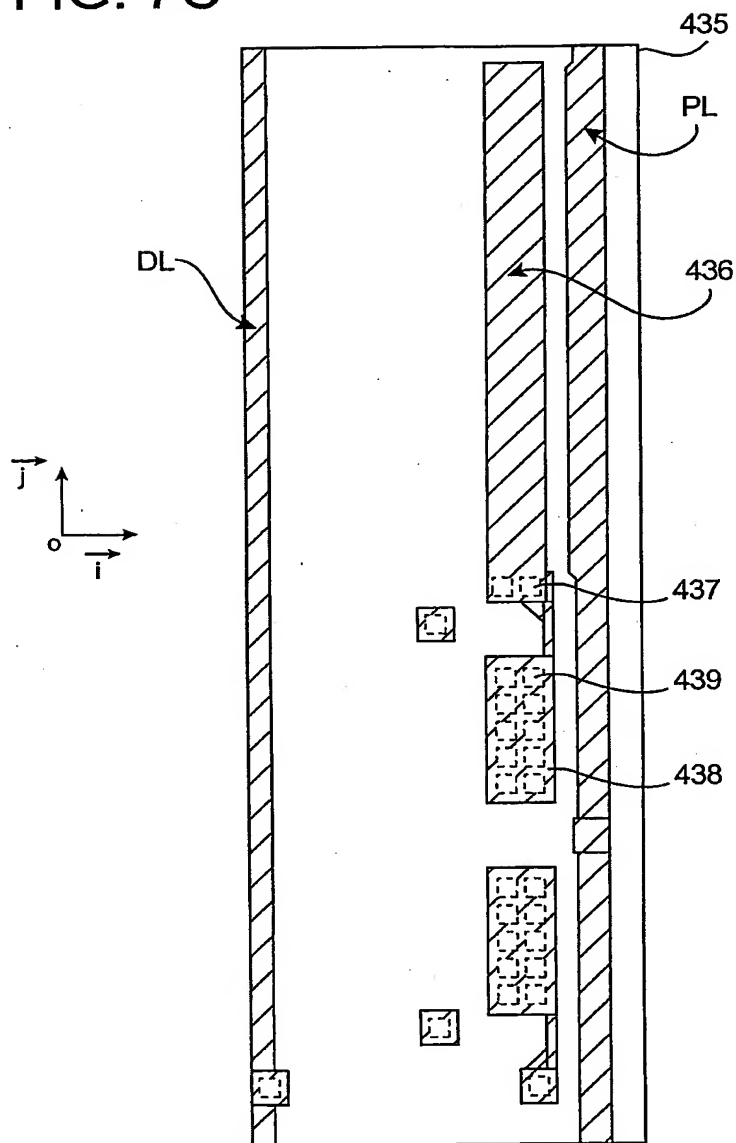


10 / 13



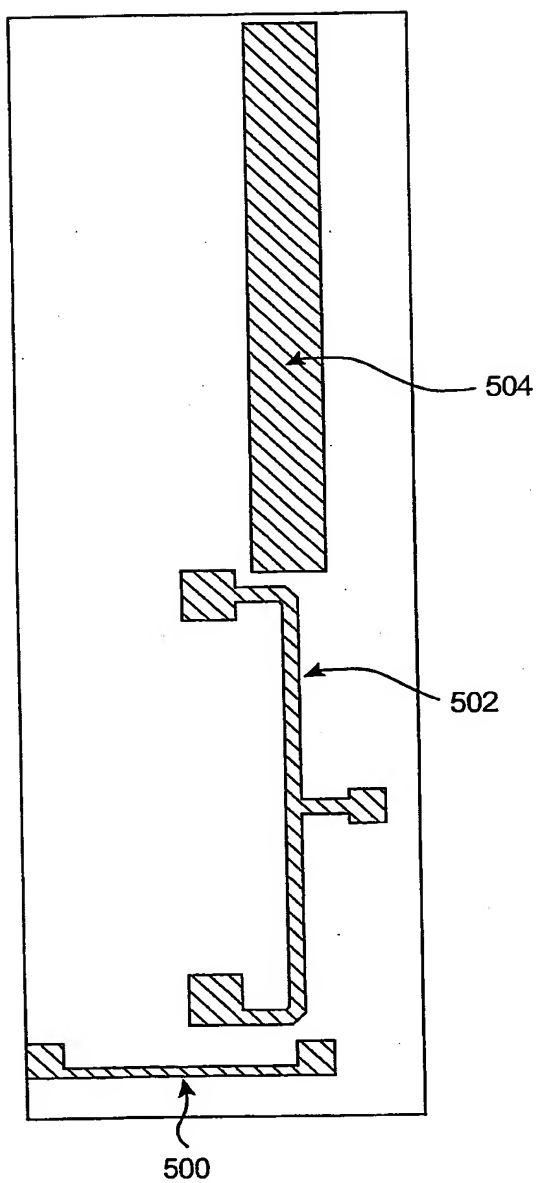
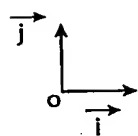
11 / 13

FIG. 7C



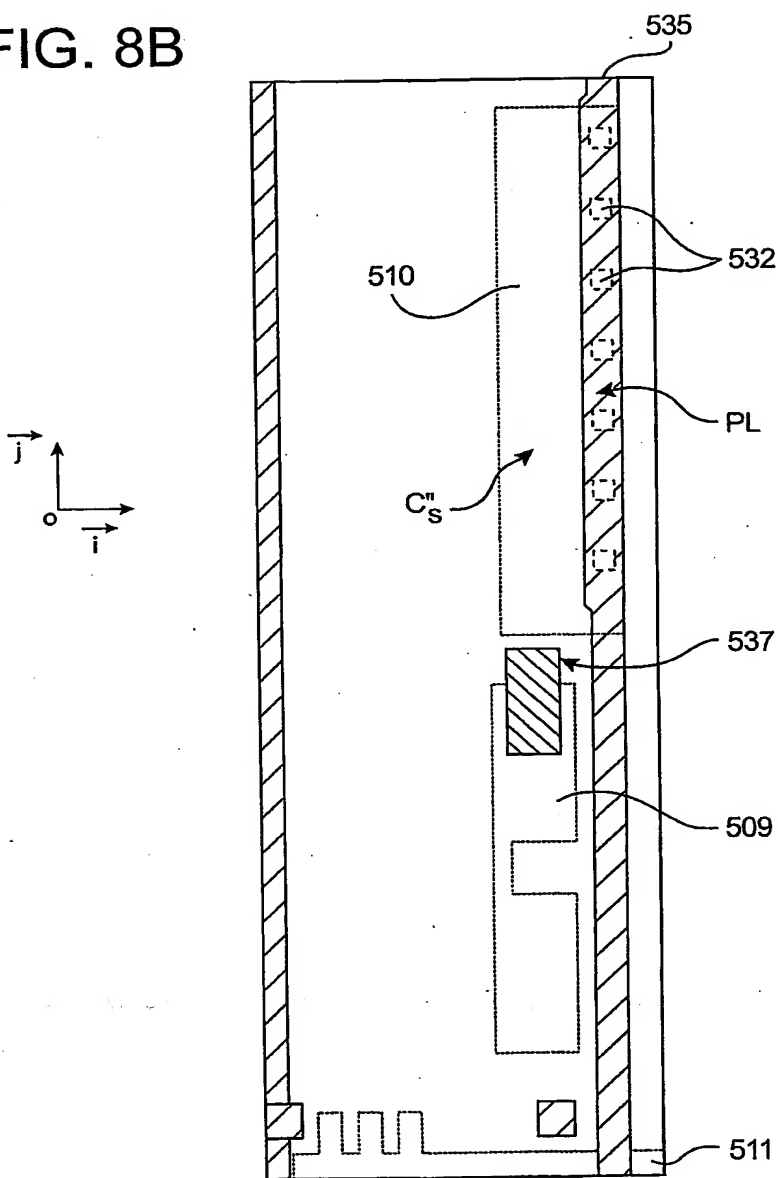
12 / 13

FIG. 8A



13 / 13

FIG. 8B



INTERNATIONAL SEARCH REPORT

International application No

PCT/FR2005/050456

A. CLASSIFICATION OF SUBJECT MATTER
INV. G09G3/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/170944 A1 (KIMURA HAJIME) 11 September 2003 (2003-09-11)	1,4,8-11
Y	paragraphs [0075] - [0080], [0192] - [0199]; figures 1-5,13	6,7
A		2
X	US 2002/101177 A1 (BAE SUNG JOON ET AL) 1 August 2002 (2002-08-01) paragraphs [0049] - [0052]; figure 8	4,8,9,11
X	US 2002/190924 A1 (ASANO MITSURU ET AL) 19 December 2002 (2002-12-19) paragraphs [0022] - [0026]; figure 1	4,8,9,11
Y	US 2003/117059 A1 (KOO JAE-BON ET AL) 26 June 2003 (2003-06-26) paragraph [0048]; figure 3a	6,7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

27 July 2006

Date of mailing of the international search report

21/08/2006

Name and mailing address of the ISA/
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2260 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Gonzalez Ordenez, O

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2005/050456

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2003170944	A1	11-09-2003	NONE	
US 2002101177	A1	01-08-2002	JP 2002258798 A KR 2002052136 A	11-09-2002 02-07-2002
US 2002190924	A1	19-12-2002	JP 2002215063 A	31-07-2002
US 2003117059	A1	26-06-2003	CN 1429056 A KR 2003054777 A	09-07-2003 02-07-2003

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2005/050456

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
INV. G09G3/32

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

G09G H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)

EPO-Internal

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2003/170944 A1 (KIMURA HAJIME) 11 septembre 2003 (2003-09-11)	1, 4, 8-11
Y	alinéas [0075] - [0080], [0192] - [0199]; figures 1-5, 13	6, 7
A		2
X	US 2002/101177 A1 (BAE SUNG JOON ET AL) 1 août 2002 (2002-08-01)	4, 8, 9, 11
	alinéas [0049] - [0052]; figure 8	
X	US 2002/190924 A1 (ASANO MITSURU ET AL) 19 décembre 2002 (2002-12-19)	4, 8, 9, 11
	alinéas [0022] - [0026]; figure 1	
Y	US 2003/117059 A1 (KOO JAE-BON ET AL) 26 juin 2003 (2003-06-26)	6, 7
	alinéa [0048]; figure 3a	

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

A document définissant l'état général de la technique, non considéré comme particulièrement pertinent

E document antérieur, mais publié à la date de dépôt international ou après cette date

L document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

O document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

P document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

T document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

X document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

Y document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

Z document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

27 juillet 2006

Date d'expédition du présent rapport de recherche internationale

21/08/2006

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Fonctionnaire autorisé

Gonzalez Ordonez, O

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2005/050456

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2003170944 A1	11-09-2003	AUCUN	
US 2002101177 A1	01-08-2002	JP 2002258798 A KR 2002052136 A	11-09-2002 02-07-2002
US 2002190924 A1	19-12-2002	JP 2002215063 A	31-07-2002
US 2003117059 A1	26-06-2003	CN 1429056 A KR 2003054777 A	09-07-2003 02-07-2003